



7(7)C

① 日本特許庁

## 公開特許公報

(2,000円)

印紙 4000円

昭和46年12月16日

特許庁長官

井土 武久 殿

1. 発明の名称 記憶装置の構成単位可変制御方式

2. 発明者

住 所 神奈川県川崎市上小田中1015番地

富士通株式会社内

氏 名

尾 崎 久 殿

3. 特許出願人

住 所 神奈川県川崎市上小田中1015番地

氏 名

(522) 富士通株式会社

代表者 高 藤 芳 光

4. 代理人

住 所 東京都豊島区南長崎2丁目5番2号

氏 名

(7139) 弁理士 玉 島 久 五 郎

(外2名)

5. 添付書類の目録

- |     |   |   |   |     |
|-----|---|---|---|-----|
| (1) | 明 | 細 | 書 | 1 通 |
| (2) | 図 | 面 |   | 1 通 |
| (3) | 委 | 任 | 状 | 1 通 |
| (4) | 願 | 書 | 本 | 1 通 |

方式  
審査特許庁  
46.12.17

明 細 書

1. 発明の名称 記憶装置の構成単位可変制御方式

2. 特許請求の範囲

複数の独立にアクセスできるメモリ単位を有する記憶装置のアクセスにおいて、処理装置からの2進数で表示されたアドレス・コードの所定ビットを入れ替えてインタリーブ切替を行なうと共に、上記アドレス・コード中の所定数のビットを用いて上記メモリ単位を選択するようにし、上記メモリ単位のメモリ容量の変更に伴って上記メモリ単位を選択する所定数のビットの数を可変にしたことを特徴とする記憶装置の構成単位可変制御方式。

3. 発明の詳細な説明

本発明は、記憶装置の構成単位可変制御方式、特に独立にアクセスし得るメモリ単位内のメモリ容量を減少または増加し、その分だけメモリ単位数を増加または減少せしめるようにできる記憶装置の構成単位可変制御方式に関するものである。

①特開昭 48-66745

④公開日 昭48.(1973) 9.12

②特願昭 46-102042

②出願日 昭46.(1971)12.16

審査請求 有 (全9頁)

庁内整理番号

⑤日本分類

6974 56

9770C1

一般にデータ処理システムにおいては、システム構成により記憶装置全体の容量が選ばれる。この場合記憶装置は単独にアクセスできるメモリ単位例えばバンクに区分され、バンク単位で増設されて行く。複数のバンクを用いる記憶装置において、データ処理装置は記憶装置の内容をアクセスしつつデータ処理を行なうが、データ処理装置の処理速度が大になればなる程当該アドレスに隣接するアドレスの内容を並列的にアクセスし得るようにすることが望まれる。このため、記憶装置内のアドレスの附与方法をシステム構成にあわせて変更する必要が生じ、このようなアドレス附与方法の切替をインタリーブ切替と呼んでいる。

一般に1つのバンク内に順にアドレスを附与することを1<sub>1</sub>インタリーブ(以下1<sub>1</sub>Lとする)、2つのバンクにまたがってアドレスを附与することを2<sub>2</sub>ウエイインタリーブ(以下2<sub>2</sub>Lとする)、4つのバンクにまたがるのを4<sub>4</sub>ウエイインタリーブ(以下4<sub>4</sub>Lとする)、および8つのバンクにまたがるのを8<sub>8</sub>ウエイインタリーブ(以下8<sub>8</sub>Lと

する)と呼んでいる。

通常記憶装置の容量としては、64KBの容量をもつバンクが2バンク(128KB)、3バンク(192KB)、4バンク(256KB)、5バンク(320KB)、6バンク(384KB)、8バンク(512KB)・・・と増設されて行く。この場合前述の如く並列アクセスを可能にしようとする、記憶装置の容量に応じてインタリーブを切替えて利用する必要がある。一方同じ容量をもつ記憶装置でも、例えば64KBの記憶装置の場合、64KBのバンクを1つもうけるシステムに対して、32KBの容量をもつバンクを2つもうけ2iLで用いる必要も生ずる。即ち1バンク当りの容量を可変にしその分だけバンク数を増加し並列アクセスを容易にする場合がある。

したがって、記憶装置はシステム構成にあわせて、記憶装置全体の容量を可変にし得ること、インタリーブを可変にし得ること、および1バンク当りのメモリ容量を可変にし得ることが必要であり、これらの変更を当該システム構成にあわせて容易に行ない得るようにすることが望まれる。

択する所定数のビットの数を可変にしたことを特徴としており、以下図面にしたがって説明する。

第1図は本発明を適用し得るデータ処理システムの一例を示したシステム構成図、第2図はインタリーブ方式を説明するための図、第3図は本発明による記憶装置の構成単位可変制御方式の全体構成を特にバンク#0を中心として示した図、第4図はインタリーブ切替に伴うバンク選択の概要説明図、第5図は本発明による制御方式の一実施例で、特にバンク#0に関して示した図、第6図、第7図はその部分装置の詳細論理回路図を示す。

各図において、CPUは中央処理装置、MAC#0~MAC#7はメモリ・アクセス制御装置#0~#7、BANK#0~BANK#31はメモリ・バンク#0~#31、CCSLはシステム切替装置、MBC#0~#3(#1~#3は図示省略)は各メモリ・バンクBANK#0~#3に夫々対応する制御部、CCSL DECODEはシステム切替装置からの信号を解釈するシステム切替デコード、BANK SELECTはメモリ・バンク

特開 昭48-66745(2)

また一般に記憶装置は例えば4バンク毎にメモリ・アクセス制御装置をそなえ、そのメモリ・アクセス制御装置の統括の下に各バンクが選択されるように構成されており、インタリーブ切替やバンク当りの容量の変更にあらず、アクセスすべきアドレスの存在するバンクを正しく選択することが必要となる。

本発明は、以上の如き条件の下で、インタリーブ切替やバンク容量の変更を自由に行ない得るようにすることを目的としており、特にバンクのメモリ容量の変更を容易に行ない得るようにすることを主眼点としている。そして、本発明の記憶装置の構成単位可変制御方式は、複数の独立にアクセスできるメモリ単位を有する記憶装置のアクセスにおいて、データ処理装置からの2進数で表示されたアドレス・コードの所定ビットを入れ替えてインタリーブ切替を行なうと共に、上記アドレス・コード中の所定数のビットを用いて上記メモリ単位を選択するようにし、上記メモリ単位のメモリ容量の変更に伴って上記メモリ単位を選

択するバンク選択回路、ADRはアドレス・レジスタで内部のADR0~ADR18(図中ADR2~ADR9は省略)はアドレス・レジスタを構成するビット対応のフリップフロップ、BNはBN信号発生源、32Kは32K信号発生源、ADR SET GATEはアドレス・レジスタADRにアドレスをセットする為のゲート、ADRSは中央処理装置CPUからメモリ・アクセス制御装置MACへ送られるメモリ・アドレス・コード信号(又は信号線)でその各ビットはA0~A18として示される。L0~L4はシステム切替装置CCSLからメモリ・アクセス制御装置MACへ送られるメモリ・バンクBANKの論理アドレス・コード信号(又は信号線)の各ビット、1iL~8iLはシステム切替装置CCSLからメモリ・アクセス制御装置MACへ送られるインタリーブ数を表わす信号(又は信号線)、G2、G3、G4、G16、G17、G18、G32およびこれらの否定信号であるNG2~NG32は後述の如くバンク選択に利用するシステム切替デコードCCSL DECODEの出力信号、11~25および50~57はナン

F回路、28-49、58-75および82 はアソシエ回路  
76-81 はノア回路を夫々示す。

データ処理システムの構成例として第1図のよ  
うなものが一例として考えられる。

第1図では、メモリは複数のバンク *BANK*#0~  
*BANK*#31(1バンクは例えば64KBの容量をもつ  
)に分割されており、4個のバンクが1つのメモ  
リ・アクセス制御装置 *MAC* によつて制御される  
ようになっている。メモリ内の情報を読み書きす  
る場合は、中央処理装置 *CPU* (実際には図示され  
ないチャネル制御装置 *CHC*の場合もある) から各  
メモリ・アクセス制御装置 *MAC*#0~#7に対して一  
斉にメモリ・アドレス・コード信号 *ADRS* やメモ  
リ・アクセス要求信号、データ(これらは図示省  
略)等が送られ、各メモリ・アクセス制御装置  
*MAC*#0~#7では、中央処理装置 *CPU* から送ら  
れてきたこれらの信号が自装置で統括するメモ  
リ・バンクに対するものか否かを判定し、その結果  
により該当メモリ・バンクを制御する。この場合  
、メモリ・バンク *BANK* の論理アドレス(機番)

は可変となつており、システム切替装置 *CCSL* か  
らメモリ・アクセス制御装置 *MAC* へ与えられてい  
るメモリ・バンクの論理アドレス・コード信号 (*L0*~*L4*)  
によつて、各メモリ・バンク *BANK* の論  
理アドレスは決定される。従つてメモリ・アクセ  
ス制御装置 *MAC* では中央処理装置 *CPU* からのメ  
モリ・アドレス・コード信号 (*A0*~*A18*) と論理ア  
ドレス・コード信号 (*L0*~*L4*) とにより、中央処  
理装置 *CPU* からのメモリ・アクセス要求が自装  
置で統括するメモリ・バンク *BANK* に対するもの  
か否かを判定することになる。

また、後述するようにインタリーブ方式が採用  
されていると、メモリ・アクセス制御装置 *MAC*  
では、上記両信号の他に、システム切替装置  
*CCSL* から与えられているインタリーブ数を表わ  
す信号 (*1iL*~*8iL*) をも利用してメモリ・アクセ  
ス要求が自装置に対するものか否かを判定する。  
次に第2図によりインタリーブ方式について説明  
する。

第2図において示す如く、通常64KBの容量を

もつバンクが複数もうけられて記憶装置全体とし  
て必要な容量をもつようにされ、例えば320KB  
の容量を必要とする場合図中Ⅱとして示す如く、  
記憶装置は5個のバンクで構成される。この場合  
4個のバンクは1つのメモリ・アクセス制御装置  
の統括の下におかれ、残る1つは他のメモリ・ア  
クセス制御装置の下に置かれる。そしてインタリ  
ーブ方式として最初の4バンクが一体となつて  
4*iL*となり、残余の1つが1*iL*とされる構成と、  
1つのメモリ・アクセス制御装置内を2バンクづ  
つに分け、夫々2*iL*とされ、他の残余の1バンク  
を1*iL*とする構成などが一般に用いられる。その  
ため、これらの変更を自由に行なえるようにする  
必要がある。

また図中ⅠあるいはⅢとして示す如く、1バン  
クを32KBの容量のものとし、通常図中Ⅰに示す  
如く64KBの1バンクで供していたものを32KB  
の2バンクを2*iL*で使用し、アクセスを並列的に  
行なうこともあり、このようなバンク容量の変更  
に伴うインタリーブの切替に対処する必要もあ

る。

第3図に示す如く、本発明は、システム切替装  
置 *CCSL* は各バンク毎に当該システム構成にあわ  
せてインタリーブ信号 (*1iL*ないし *8iL*) および  
バンクの論理アドレス・コード信号 *L0*ないし *L4*を  
発し、システム切替デコード *CCSL DECODE* に  
よつてバンク選択に必要な信号 *G2*, *\*G2* などを  
バンク選択回路 *BANK SELECT* に与えている。こ  
の状態においてデータ処理装置 *CPU* からメモリ  
・アクセス要求信号(図示省略)およびアクセス  
すべきアドレス・コード信号 *ADRS* (各ビットは  
*A0*ないし *A18* として第4図に示される) が与え  
られるとき、バンク選択回路 *BANK SELECT* によ  
つて自バンクへの要求か否かを判断するように構  
成される。

第4図はインタリーブの変更に伴うバンク選  
択の概要を示すもので、データ処理装置からのア  
ドレス・コード信号はこの表にしたがった形に変  
換されて記憶装置をアクセスする。即ち、Ⅰの  
64KBの1*iL*の場合、バンクを選択するためのバ

ンク・セレクト・ビットとして中央処理装置CPUからのアドレス・コード信号 $ADDRS$ の中第0桁ないし第4桁までの5ビット $A0\sim A4$ をそのまま使用し、残りの13ビット $A5\sim A18$ が選ばれたバンク上のメモリ・アドレスを示すビットとして使用される。なおメモリ・アドレス・ビットとして使用されるビット配列は図示のように中央処理装置CPUからメモリ・アドレス・コード信号として送られてきたときのビット配列とは異なる配列となっているが、これは後述するように、ビットの入れ替えを行なう場合に必要なゲート数等を削減するためである。

Ⅱの64KBのバンク2個を使用した場合(128KB;1.1iL)も上記Ⅰの場合と同様、バンク・セレクト・ビットとして $A0\sim A4$ のビットが使用され、メモリ・アドレス・ビットとして $A5\sim A18$ のビットが使用され、バンク#0, #1の区別はビット $A4$ が“1”か“0”かで行なわれる。

Ⅲの64KBのバンク2個を称用し2ウェイインタリーブとした場合(128KB;2iL)バンク・セ

レクト・ビットとして $A0\sim A3, A18$ の5ビットが、又メモリ・アドレス・ビットとして $A4\sim A17$ の13ビットが使用される。Ⅲの場合とⅠ, Ⅱの場合とではビット $A4$ と $A18$ が入れ替っている。

Ⅳの64KBのバンク4個を使用し4ウェイインタリーブとした場合(256KB;4iL)バンク・セレクト・ビットとして $A0\sim A2, A17, A18$ の5ビットが、又メモリ・アドレス・ビットとして、 $A3\sim A16$ の13ビットが使用される。

Ⅴの場合とⅠの場合とではビット $A3$ とビット $A17$ が、又ビット $A4$ とビット $A18$ が入れ替っている。

Ⅵの64KBのバンク8個を使用し、8ウェイインタリーブとした場合(512KB;8iL)バンク・セレクト・ビットとして $A0, A1, A16\sim A18$ の5ビットが、又メモリ・アドレス・ビットとして $A2\sim A15$ の13ビットが使用される。

Ⅶの場合とⅠの場合とでは、ビット $A2$ とビット $A16$ 、ビット $A3$ とビット $A17$ 、ビット $A4$ とビット $A18$ が夫々入れ替っている。

Ⅰのバンク容量を32KBに変更し、32KBのバンク2個を使用して2ウェイインタリーブとした場合(64KB;2iL)、バンク・セレクト・ビットとして $A0\sim A4, A18$ の6ビットを使用し、メモリ・アドレス・ビットとしては $A5\sim A17$ の12ビットが使用される。Ⅰの場合とⅠの場合とでは、まずバンク・セレクト・ビットの数が6ビットと5ビットで相違し、従つてメモリ・アドレス・ビットも12ビットと13ビットで相違する。

これは、32KBの2個のバンクは、実際には64KBのバンク(例えばBANK#0)を2分割して使用されるため、まず $A0\sim A4$ の5ビットでⅠの場合と同様64KBのバンクを選択し、次いでそのバンクの上側の32KBか下側の32KBかを識別するような選択方法を探っているからで、この方法を採用することによりメモリ単位即ちバンクの容量を変更しても自由にバンク選択を行なうことができる。なお、この場合メモリ・アドレス・ビットとしては13ビットから12ビットに減少するが、これはバンク容量が64KBから32KBと半分に

減少しているので、何らさしつかえない。

従つて全体のビット数(バンク・セレクト・ビット+メモリ・アドレス・ビット)を何ら変更することなく、バンク容量の変更に伴つて単にバンク・セレクト・ビットの数を変更するだけで、容易にバンク選択が行なえる。

以上のように、インタリーブの変更、或いはバンク容量の変更に伴つてビットの入れ替えが行なわれるが、この入れ替えを行なうために第3図に示すシステム切替デコード $CCSL\ DECODE$ からの $G2, \#G2\cdots$ などの信号(第5図参照)が利用される。

この場合データ処理装置CPUからのアクセス要求信号が発生し、アドレス・コード信号 $ADDRS$ が与えられる毎に、第4図に示す表にしたがつた論理演算処理を、アドレス・コード信号の各ビット毎に行なうようにすることも可能であるが、その演算処理を行なうためには所定段数のゲート回路を通過する必要があり、アクセス時間がそのために増大する。

インタリーブ切替やバンク容量の変更はシステム構成が決まれば前もって定まるものであるため、システム切替装置CCSLおよびシステム切替デコードCCSL DECODEによつて、アドレス・コード信号の各ビットが入れ替えられるべき位置を準備するような信号G2、\*G2... \*G32を前もってつくつておきアクセス時間を減少するようにしている。

第5図は本発明にしたがつた全体構成図で、データ処理装置CPUから、アドレス・コード信号の各ビットA0ないしA18が指定され、同時にアクセス要求信号が与えられる。

これに先立つて、システム全体の構成にみあうようシステム切替装置CCSLから、各バンクに論理アドレスを設定するための論理アドレス信号(L0~L4)が与えられ(バンクBANK#0に対してはL0~L4は全部"0")インタリーブ数にしたがつて1iL, 2iL, 4iLおよび8iLが与えられ、さらにバンク容量が32KBの場合は32K, BN両信号が発生されている。

数を示す信号1iL~8iL, バンクの論理アドレス・コード信号の各ビットL0~L4並びにバンク容量を示す信号BN, 32K等より作成され、これらG2, \*G2... がバンク選択回路BANK SELECTに与えられている。

なおバンク容量を示す信号BN, 32Kはバンク容量が32Kの場合に信号源BN, 32Kより発生されるもので、この発生は制御部MBC内のスイツチ(図示省略)のセットにより行なわれるが、システム切替装置CCSLから信号源BN, 32Kを起動するようにしてもよい。

上記のG2信号をつくる論理式は次のようになる。

$$G2 = (1iL + 2iL + 4iL) \cdot L2$$

注) 32K・2iLは2iL条件でカバーされている。

以下同様に各信号の論理式を示すと次の通りである。

$$*G2 = (1iL + 2iL + 4iL) \cdot *L2$$

$$G16 = 8iL \cdot L2$$

$$*G16 = 8iL \cdot *L2$$

上記入れ替え処理に関する第4図の説明で述べた如く、中央処理装置CPUからのアドレス・コード信号ADR中、ビットA2~A4, A16~A18の6ビットは、インタリーブ数、バンク容量等により、メモリ・アドレス指定のためのアドレス・レジスタADR(ADR0~ADR13)へのセット位置の変更があるため、どの位置へセットされるかは、インタリーブ数を示す信号の各ビット1iL~8iL並びにバンク容量が32KBか否かを示す信号32Kによつて制御される。このことを示したのがアドレス・レジスタ・セット・ゲートADR SET GATF 26~31である。

同様に、上記6ビットはインタリーブ数、バンク容量等によりバンク選択のためのバンク・セレクト・ビットとして用いられ、用いられなかったりし、また実際のバンク選択に当つては当該バンクにどのような論理アドレスが設定されたかによつて、バンク選択が行なわれるため、これらを制御する信号としてG2, \*G2... がシステム切替デコードCCSL DECODEにてインタリーブ

$$G3 = (1iL + 2iL) \cdot L3$$

$$*G3 = (1iL + 2iL) \cdot *L3$$

$$G17 = (4iL + 8iL) \cdot L3$$

$$*G17 = (4iL + 8iL) \cdot *L3$$

$$G4 = (1iL + 2iL \cdot 32K) \cdot L4$$

$$*G4 = (1iL + 2iL \cdot 32K) \cdot *L4$$

$$G18 = (2iL \cdot *32K + 4iL + 8iL) \cdot L4$$

$$*G18 = (2iL \cdot *32K + 4iL + 8iL) \cdot *L4$$

$$G32 = 2iL \cdot 32K \cdot BN$$

注) G32は32KBバンクの場合A18の入れ替え処理に利用されるものである。

$$*G32 = 2iL \cdot 32K \cdot *BN$$

これらの論理式にしたがつてG2ないし\*G32を発生する論理回路が第6図に示されている。

例えば信号G2を発生するためには、8iLがナンド回路14で否定されたものとL2とがアンド回路36に供給されている。これは

$$1iL + 2iL + 4iL + 8iL = 1$$

であることから

$$1iL + 2iL + 4iL = 8iL$$

であり、前述の  $G2$  信号発生の論理式と一致することが判る。

また信号  $G32$  の場合、アンド回路 48 の条件は  $2iL$  が「1」で、 $32K$  が「1」で、 $BN$  が「1」の場合であり、前述の  $G32$  信号発生の論理式と一致することが判る。

以下省略するが、第 6 図にしたがつた回路が第 5 図のシステム切替デコード  $CCSL\ DECODE$  に用いられ、データ処理装置  $CPU$  からのアドレス・コードの各ビット  $A2, A3, A4, A16, A17, A18$  と共にバンク選択に用いられる。第 5 図のバンク選択回路  $BANK\ SELECT$  内の回路構成の一例は第 7 図に示される。第 7 図はバンク  $BANK\#0$  を選択するための一例で、他のバンク  $BANK\#1$  などのためには同様の回路が夫々存在するものと考えてよい。

第 7 図において、ビット  $A0$  および  $L0$  とが供給されるナンド回路 50、アンド回路 58, 59 およびオア・リフト回路 76 はビット  $A0$  と  $L0$  とのイクスクルーシブ・オアの否定即ち

$$A0 \cdot L0 + A0 \cdot \bar{L0}$$

択される。

以上の如く、本発明は、インタリーブの切替に際して、中央処理装置  $CPU$  からの 2 進数表示のアドレス・コード信号のビットを入れ替える処理を行なわせることによつてインタリーブ切替を自由に行ない得ると共に、この入れ替えの行なわれたビットの中の所定数のビットを用いて複数バンクの 1 つを選択し得るようにしたため、インタリーブ切替に際しても所定バンクを直接アクセスでき、メモリ・アクセス制御装置  $MAC$  によるメモリ構成を特に変更する必要がなく、また独立にアクセスし得るメモリ単位（バンク）のメモリ容易の変更時においても、所定のバンクを正しく選択することができる利点をもっている。

なおインタリーブの切替のために中央処理装置からのアドレス・コードの所定ビットを入れ替える変換表は第 4 図に示すものに限られるものではない。

#### 4 図面の簡単な説明

第 1 図はデータ処理システムの一例を示すシス

テムで表わされ、ビット  $A0$  と  $L0$  とが共に一致することの条件を与えている。

またビット  $A2, A16$ 、信号  $G2, \bar{G2}, \bar{G16}, G16$  が供給されるナンド回路 52, 53、アンド回路 62, 63, 64, 65 およびノア回路 78 は

$$A2 \cdot \bar{G2} + A2 \cdot G2 + A16 \cdot \bar{G16} + A16 \cdot G16$$

を表わし、信号  $G2$  とビット  $A2$  とが共に一致するかあるいは信号  $G16$  とビット  $A16$  とが共に一致するかする時を検出する条件を与えている。即ち  $G2$  と一致する場合ビット  $A2$  がバンク選択に用いられ、 $G16$  と一致する場合ビット  $A16$  がバンク選択に用いられることを指示している。

さらに点線で囲んだ範囲は  $64KB\ 2iL$  の場合の選択に対応し、

$$A18 \cdot G32 + A18 \cdot \bar{G32}$$

を表わし、ビット  $A18$  と信号  $G32$  とが一致することの条件を与えている。

再び第 5 図を参照して、上記の如くバンク選択回路  $BANK\ SELECT$  により、システム切替装置  $CCSL$  からの所定の指示信号の下で、バンクが選

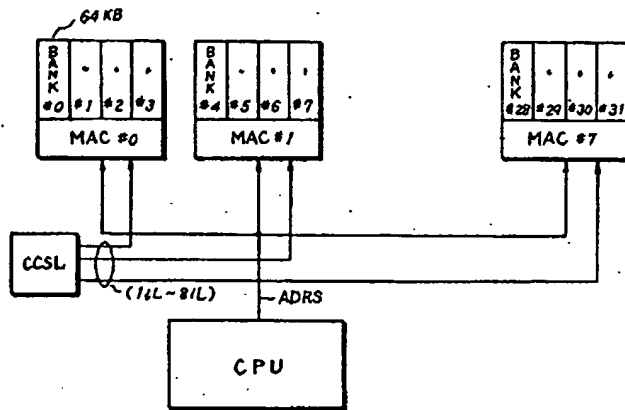
定構成図、第 2 図はインタリーブ方式の一例を示した説明図、第 3 図は本発明による記憶装置の構成単位可変制御方式の全体構成図、第 4 図はインタリーブ切替に伴うバンク選択の概要説明図、第 5 図は本発明による制御方式の一実施例、第 6 図および第 7 図はその部分装置の詳細論理回路図の一実施例を示す。





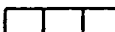


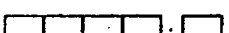
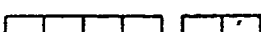
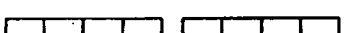
図において、 $CPU$  は中央処理装置、 $MAC$  はメモリ・アクセス制御装置、 $BANK\#0$  ないし  $\#3$  はメモリ単位、 $CCSL$  はシステム切替装置、 $CCSL\ DECODE$  はシステム切替装置デコード、 $BANK\ SELECT$  はバンク選択回路を示し、第 4 図における太線内はバンク選択に用いられる所定数のビットを表わしている。

特許出願人 富士通株式会社内

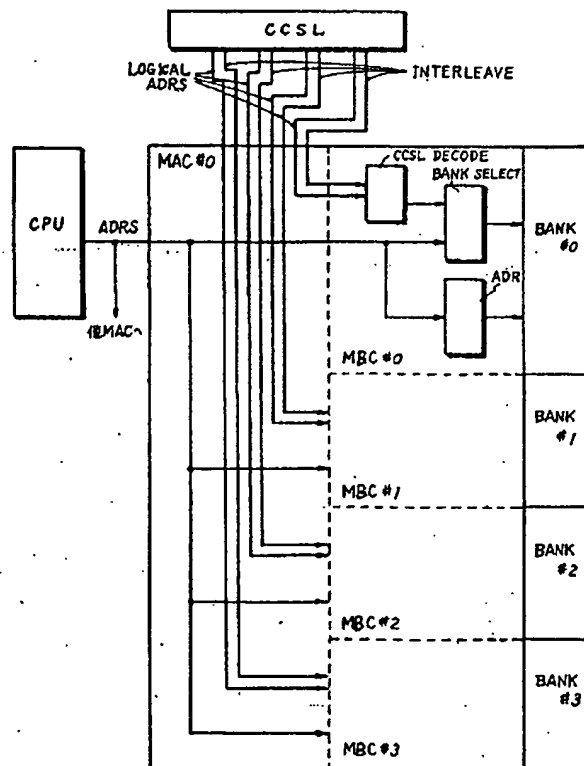
代理人弁理士 玉 島 久 五 郎

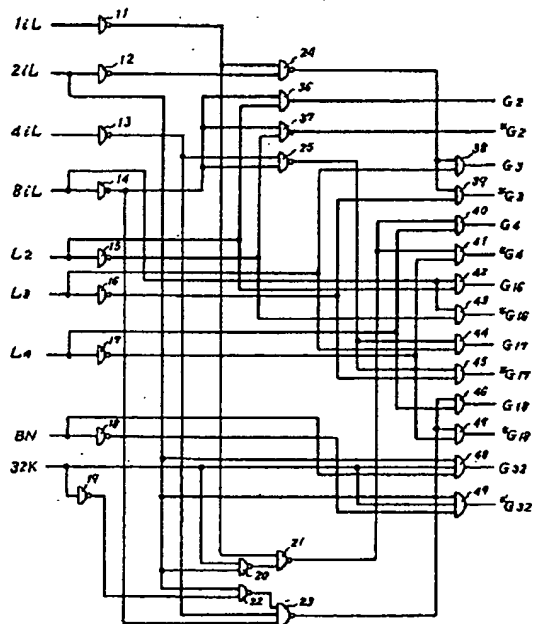
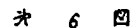
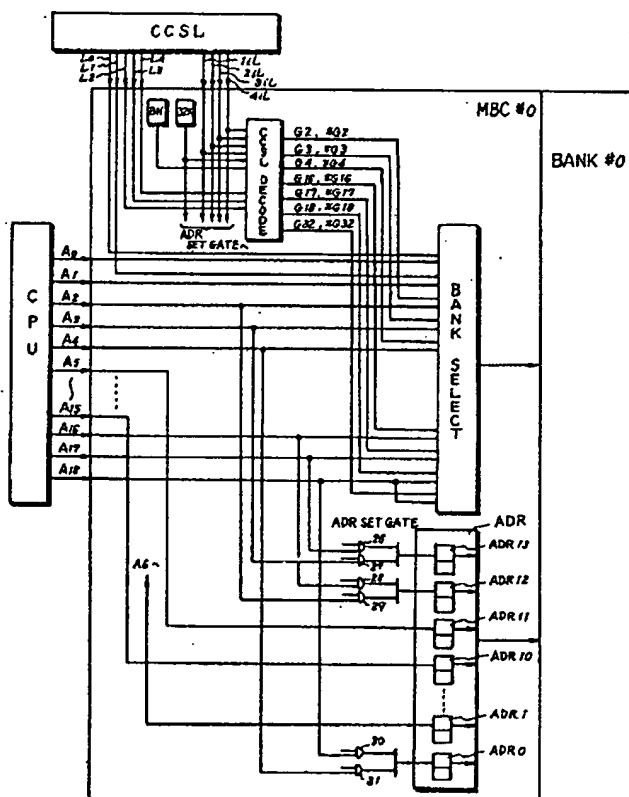
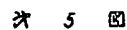
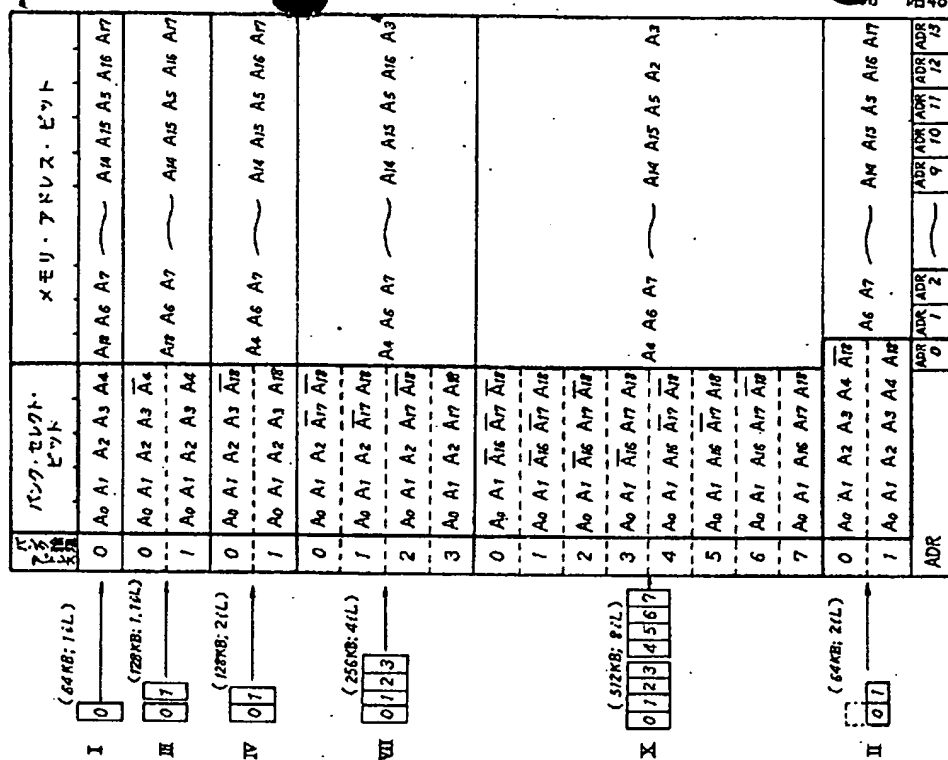
外 2 名



- I  (64 KB; 11L)
- II  (64 KB; 21L)
- III  (128 KB; 1.11L)
- IV  (128 KB; 21L)
- V  (192 KB; 2.11L) (192 KB; 1.1.11L)
- VI  (192 KB; 2.21L)
- VII  (256 KB; 41L) (256 KB; 2.21L)
- VIII  (320 KB; 4.11L) (320 KB; 2.2.11L)
- IX  (384 KB; 4.21L)
- X  (512 KB; 81L) (512 KB; 4.41L)

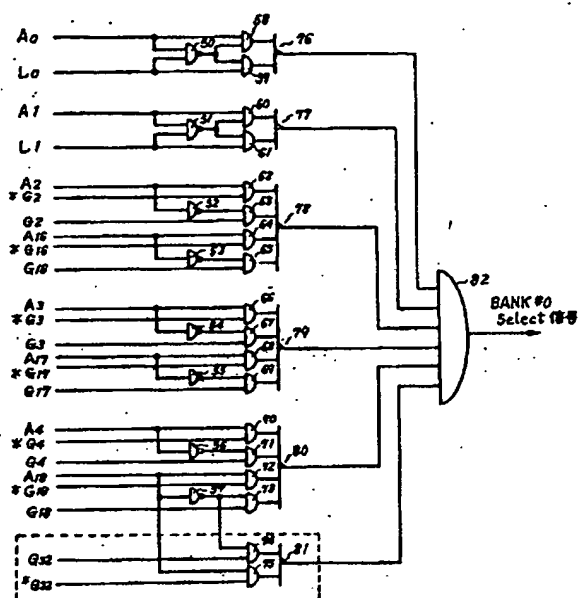
次 3 図







★ 7 圖・



## 6. 前記以外の発明者および代理人

(1) 發明者

住 所 神奈川県川崎市上小田中1015番地

富士通株式会社内

氏 名 . 郭 同 重 之

(2) 代理人:

住 所 東京都豊島区南長崎2丁目5番2号

氏 名 (7283) 弁理士 柏 谷 昭 司

(7484) 弁理士 森 田 寛

